

UNIVERZITET U BEOGRADU ELEKTROTEHNIČKI FAKULTET

Katedra za elektroniku

Predmet: Projektovanje integrisanih kola



Projekat
Faza 1: Uvod

Izveštaj slati na e-mail: petrovicv@etf.rs, p.z.nikola@etf.rs
Staviti u cc i predmetnog profesora: jelena@etf.rs

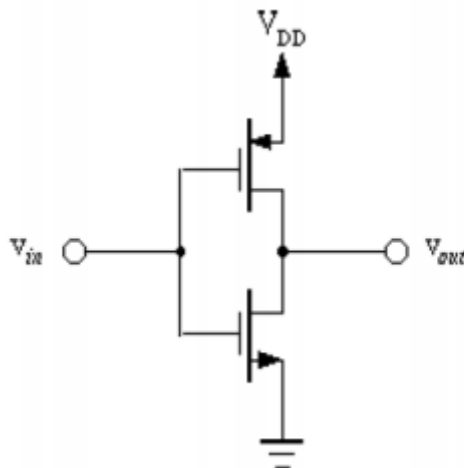
1. Faza projekta

1.1. Upoznavanje sa softverom kroz projektovanje CMOS invertora i njegovu simulaciju

Prvi zadatak obuhvata prolazak kroz uputstvo koje se nalazi na sajtu predmeta i izradu i simulaciju lejauta CMOS invertora u programskom okruženju *Cadence Virtuoso* koristeći 180 nm tehnologiju.

Na početku je potrebno da kreirate biblioteku sa nazivom **pik25_gX** gde je X broj vaše grupe.

Šema invertora u CMOS tehnologiji data je na slici 1. Dužina kanala oba tranzistora je minimalna i u ovoj tehnologiji iznosi 180 nm. Širina kanala NMOS tranzistora iznosi $360\text{nm} + (G \text{ div } 4) \cdot 90\text{nm}$ gde div predstavlja operaciju celobrojnog deljenja i gde je G broj vaše grupe. **Širinu kanala PMOS tranzistora odrediti tako da: parne grupe obezbede minimalno kašnjenje, a neparne grupe obezbede jednaka kašnjenja logičke nule i logičke jedinice.**



Slika 1 CMOS invertor

U softverskom okruženju *Cadence Virtuoso* je potrebno izvršiti funkcionalnu simulaciju (schematic) koja proverava da li invertor obavlja željenu operaciju kao i odrediti kašnjenja i dužine trajanja uzlazne i silazne ivice invertora. Potrebno je priložiti dijagrame funkcionalne simulacije kao i uvećane relevantne prelaze. Obezbediti da odgovarajući uslov optimizacije bude ispunjen.

Nakon funkcionalne simulacije potrebno je nacrtati lejaut, ekstrahovati parametre lejauta i izvršiti post layout simulaciju ekstrahovanog modela. Ukoliko optimizacioni kriterijumi nisu ispunjeni modifikovati lejaut dok god se ne postigne željeni cilj u post layout simulaciji.

Za potrebe simulacije predvideti kapacitivno opterećenje svih izlaza (3 fF), podešavanjem simulacionog fajla. Napon napajanja je **1,8 V**. Trajanje uzlazne i silazne ivice ulaznih signala podesiti na **5 ps**.

Odrediti kašnjenja logičke nule i logičke jedinice, kao i ukupno kašnjenje invertora za različite odnose širina kanala PMOS i NMOS tranzistora u najmanje 8 reprezentativnih tačaka i rezultate prikazati tabelarno. Na osnovu dobijenih rezultata u MATLAB-u, Excel-u ili nekom drugom softveru na istom grafiku različitim bojama nacrtati zavisnost svih navedenih kašnjenja od odnosa širina kanala PMOS i NMOS tranzistora i grafik priložiti uz izveštaj. Sve rezultate u ovoj stavki prikazati za simulacije ekstrahovanog dizajna.

Napisati zaključak u kome je potrebno dati komentar na rezultate simulacija i postupak optimizacije.

Prilikom izrade projekta pratiti opšte dodatne smernice koje se nalaze na sajtu predmeta na stranici *Projekti*.

NAPOMENA: Fajlove za rešenje prve faze (folder u kom se nalazi vaša biblioteka, sa svim podfolderima (*schematic, symbol, layout, extracted*), stimulus fajlove, kao i .doc fajl sa izveštajem) zapakovati u datoteku **Grupa_N_prva_faza.zip** i poslati na sve adrese navedene na prvoj strani ovog fajla. N je broj grupe.

U *subject*-u obavezno navesti: **PIK prva faza Grupa N**

Vrlo je bitno da *subject* bude kao što je navedeno inače će *mail* biti isfiltriran!